

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-314420

(43)Date of publication of application : 25.10.2002

(51)Int.Cl.

H03M 1/44

(21)Application number : 2001-
119506

(71)Applicant : HITACHI LTD
HITACHI ULSI SYSTEMS CO
LTD

(22)Date of filing : 18.04.2001

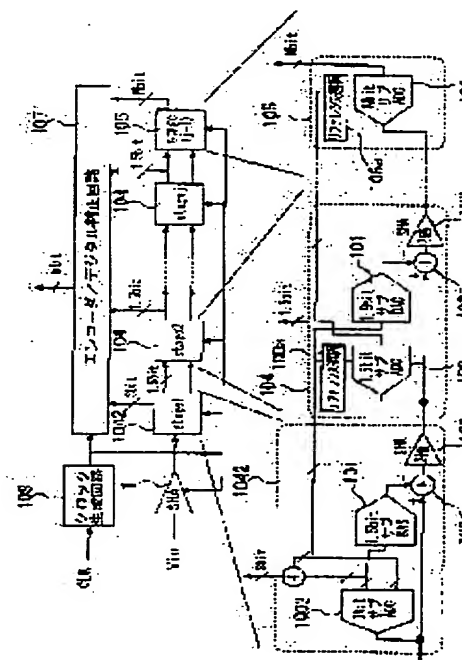
(72)Inventor : IMAIZUMI SHIGEKI
FUCHIGAMI NOBUTAKA
MATSUURA TATSUJI

(54) ANALOG/DIGITAL CONVERTER AND SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an analog/digital converter that can enhance bit precision while suppressing the chip area and power consumption.

SOLUTION: In the analog/digital converter adopting a pipeline system comprising cascade connection of a plurality of a small number of bits of analog/ digital conversion stages, the analog/digital conversion stage 1041 of the 1st stage is configured with a sub analog/digital converter circuit 1002 that converts an analog signal before conversion into a digital signal in (m+n) bits and outputs the digital signal of the low-order n-bits to a post-stage, a sub digital/analog converter circuit 101 that converts the digital signal of high-order m-bits converted by the sub analog/digital converter circuit 1002 into an analog signal, a subtractor circuit 102 that takes a difference between the analog signal before the conversion and the analog signal from the sub digital/analog converter circuit 101, and an SHA(Sample and Hold Amplifier) 103 that amplifies a difference from the subtractor circuit 102 by a prescribed amplification factor. The digital signal in (m+n) bits from the sub analog/digital converter circuit 1002 is a digital signal obtained by the 1st stage 1042.



LEGAL STATUS

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-314420

(P2002-314420A)

(43) 公開日 平成14年10月25日 (2002. 10. 25)

(51) Int.Cl.⁷

H 0 3 M 1/44

識別記号

F I

H 0 3 M 1/44

テーマコード(参考)

5 J 0 2 2

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号 特願2001-119506(P2001-119506)

(22) 出願日 平成13年4月18日 (2001. 4. 18)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(74) 代理人 100085811

弁理士 大日方 富雄

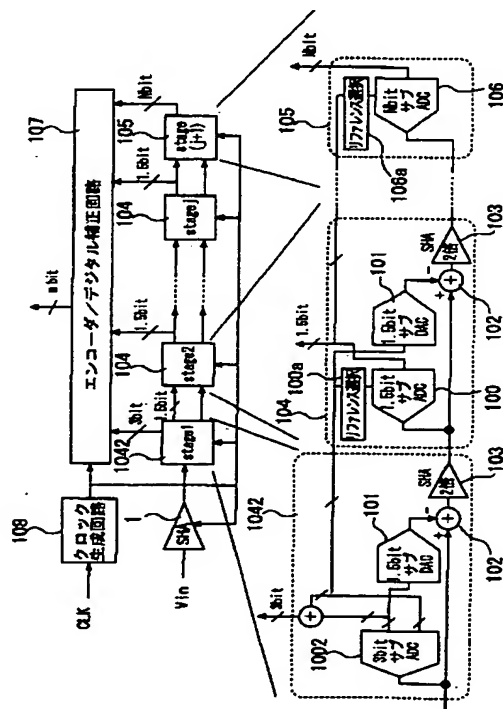
最終頁に続く

(54) 【発明の名称】 A/D変換器および半導体集積回路

(57) 【要約】

【課題】 チップ占有面積や消費電力の増加を抑制しつつビット精度の向上を図れるA/D変換器を提供する。

【解決手段】 小ビットのA/D変換ステージを複数段縦続接続してなるパイプライン方式のA/D変換器において、初段のA/D変換ステージ1041は、変換前のアナログ信号を(m+n)ビットのデジタル信号に変換するとともに下位nビットのデジタル信号を後段ステージに出力するサブA/D変換回路1002と、サブA/D変換回路1002で変換された上位mビットのデジタル信号をアナログ信号に変換するサブD/A変換回路101と、変換前のアナログ信号とサブD/A変換回路101からのアナログ信号の差をとる減算回路102と、減算回路102の差信号を所定倍に増幅するSHA103とを有するとともに、サブA/D変換回路1002の(m+n)ビットのデジタル信号を初段ステージ1042で得られたデジタル信号とするように構成したものである。



【特許請求の範囲】

【請求項1】 小ビットのA/D変換ステージを複数段継続接続してなり、変換前のアナログ信号を上記複数段のA/D変換ステージに通すことで所定ビット数のデジタル信号を得るパイプライン方式のA/D変換器において、

2段目以降のA/D変換ステージは、前段ステージから入力されるアナログ信号をnビットのデジタル信号に変換して後段ステージに出力するサブA/D変換回路と、前段ステージから入力されるnビットのデジタル信号をアナログ信号に変換するサブD/A変換回路と、上記前段ステージから入力されるアナログ信号と上記サブD/A変換回路からのアナログ信号の差をとる減算回路と、該減算回路の差信号を所定倍に増幅し且つ保持して後段ステージに出力する増幅回路と、前段ステージから入力されるデジタル信号に応じて上記サブA/D変換回路の比較用の参照電圧を選択するリファレンス選択回路とを有するとともに、上記サブA/D変換回路の出力を当該ステージで得られたデジタル信号とするように構成され、

初段のA/D変換ステージは、上記変換前のアナログ信号を(m+n)ビットのデジタル信号に変換するとともに下位nビットのデジタル信号を後段ステージに出力するサブA/D変換回路と、該サブA/D変換回路で変換された上位mビットのデジタル信号をアナログ信号に変換するサブD/A変換回路と、上記変換前のアナログ信号と上記サブD/A変換回路からのアナログ信号の差をとる減算回路と、該減算回路の差信号を所定倍に増幅するとともに保持して後段ステージに出力する増幅回路とを有するとともに、上記サブA/D変換回路の(m+n)ビットのデジタル信号を当該ステージで得られたデジタル信号とするように構成されていることを特徴とするA/D変換器。

【請求項2】 上記サブD/A変換回路は、供給された2個の基準電圧とこれら基準電圧の短絡電圧の中から入力デジタル信号に対応した出力電圧を選択する1.5ビット用のD/A変換回路であり、上記サブD/A変換回路、減算回路、および増幅回路は、サンプル時に入力アナログ信号に比例した電荷をキャパシタに蓄え、ホールド時に上記サブD/A変換回路の上記出力電圧に比例した電荷をキャパシタから引き抜くとともに、このキャパシタにより生成された電圧をアンプにより出力保持するように構成されていることを特徴とする請求項1記載のA/D変換器。

【請求項3】 各A/D変換ステージに入力されるアナログ信号は完全差動信号であることを特徴とする請求項1又は2に記載のA/D変換器。

【請求項4】 上記初段のA/D変換ステージに設けられるサブA/D変換回路は、1対の基準電圧を抵抗分割してなる複数の参照電圧と入力アナログ信号とをそれぞれ

比較する8個の電圧比較回路を有する3ビットのA/D変換回路であるとともに、上記抵抗分割の比が抵抗分割比 = 3 : 2 : 1 : 1 : 2 : 1 : 1 : 2 : 3に構成されていることを特徴とする請求項1又は2に記載のA/D変換器。

【請求項5】 固体撮像素子から読み出したアナログの撮像信号をデジタル信号に変換する回路として請求項1～4の何れかに記載のA/D変換器が設けられていることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、A/D変換器のビット精度を向上する技術に関し、特に、デジタルスチルカメラのアナログ撮像信号をデジタル変換する半導体集積回路に適用して有用な技術に関する。

【0002】

【従来の技術】 以前より、小ビットのA/D変換ステージを複数段継続接続してなりこれらの各ステージをパイプライン動作させることで所定ビット数のデジタル信号を得るパイプライン方式のA/D変換器が開発されている。このようなA/D変換器については、例えば、文献A “A10-b20-Msamples/s Analog-to-Digital Converter,” IEEE J. Solid-State Circuits, vol. 27, 1992、文献B “A55-mW, 10-bit, 40Msample/s Nyquist Rate CMOS ADC,” IEEE 1999CICC, Analog Devices, Inc.、および、特開平10-178345号などに開示されている。

【0003】 文献Aに開示されているA/D変換器は、図11に示すように、パイプライン動作する9段のA/D変換ステージ6を有するもので、各A/D変換ステージ6は入力アナログ信号を3レベルで示される1.5bitのデジタル信号に変換するサブADC回路2と、このデジタル信号をアナログ信号に変換するサブDAC回路3と、入力アナログ信号から上記サブDAC回路3のアナログ信号を減算して残差信号を抽出する減算回路4と、この残差信号を2倍に増幅して保持するサンプル・ホールド増幅器5とから構成される。この構成により、入力アナログ信号は各A/D変換ステージ6を通過するごとに上位1.5ビットずつデジタル信号に変換されていき、9段のA/D変換ステージ6を経て10ビットのデジタル信号が得られる。

【0004】 また、文献Bに開示されているA/D変換器は、図12に示すように、初段のA/D変換ステージ61に、3ビットタイプのサブADC回路21とサブDAC回路31とを使用するとともに、それに応じて残差信号を増幅するサンプルホールドアンプ51を4倍のアンプにしたものである。このような回路によれば、文献Aのものより少ないA/D変換ステージで同一ビットのデジタル信号を得ることができるとともに、後続するA/D変換ステージの段数が減るため、初段のサンプルホールドアンプ51の要求精度が緩和されるという利点がある。

ある。

【0005】また、特開平10-178345号に開示のA/D変換器は、図13に示すように、前段ステージ1041のサブADC回路1001により変換された1.5ビットのデジタル信号を、次段のステージ104のサブDAC回路101においてアナログ信号に変換するとともに、この復元アナログ信号を前段ステージ104から入力されるアナログ信号から減算して残差信号を得るように構成したものである。サブADC回路100は後段の減算回路102で得られる残差信号に対応するデジタル信号を先回りして生成しなければならないので、リファレンス選択回路により参照電圧を選択してA/D変換するように構成されている。

【0006】図11や図12のA/D変換器では、各A/D変換ステージのクリティカルパスが、サブADC回路2-サブDAC回路3-減算回路4-サンプルホールドアンプ5と連なる信号パスであるのに対して、この図13のタイプでは、2段以降のA/D変換ステージのクリティカルパスが、サブDAC回路101-減算回路102-サンプルホールドアンプ5と連なる信号パス、もしくは、リファレンス選択回路-サブADC回路100と連なる信号パスとなるので、1ステージにかかる処理時間が短くなる。それゆえA/D変換器を高速で動作させることが出来るという利点を有する。

【0007】

【発明が解決しようとする課題】近年、デジタル技術の進展にともない様々なアナログ-デジタル機器に用いられているA/D変換器についても、例えば10ビット精度から12ビット精度へとビット精度の向上が図られている。

【0008】図11や図13に示すA/D変換器においてビット精度を上げるには、そのA/D変換ステージの段数を増やせばよいが、ステージ段数を増やすと回路の占有面積が大きくなり、また、ステージ段数が増加しただけ消費電力が増加するという問題が生じる。また、初段ステージのサンプルホールドアンプには、後続のA/D変換ステージでデジタル変換するビット数分の精度が要求されるが、ステージ段数を増加させると、それに伴い、サンプルホールドアンプの精度を上げなければならず、精度を上げるために増幅回路に流れる電流が多くなり消費電力が増すという問題が生じる。

【0009】図12に示すA/D変換器は、初段ステージでA/D変換するビット数を3ビットと多ビット化することで、ステージ段数を増やさずにビット精度を上げられるとともに、ステージ段数が増加しないことから初段ステージのサンプルホールドアンプの要求精度も緩和されるという利点がある。

【0010】しかしながら、図12のA/D変換器では、初段ステージを多ビット化することで初段ステージのDAC回路も同様に多ビット化しなければならないと

いう問題がある。初段ステージのサブDAC回路31や減算回路4には、A/D変換器のトータルのビット精度と同等の精度、例えば12ビットのA/D変換器では12ビット精度が要求されるが、このような高精度の出力はラダー抵抗による電圧分割から出力を得るラダー抵抗型のDAC回路では抵抗素子の製造ばらつきのため12ビット精度は実現困難である。

【0011】そのため、12ビット精度を得るには、複数のコンデンサに一旦電荷を溜めた後、所望数のコンデンサの電圧を乗算して出力電圧を得るキャパシタ乗算型のDAC回路を用いることになる。キャパシタ乗算型のDAC回路において、精度を決定するものは、コンデンサの比精度であり、多ビット化するほど、必要なコンデンサの個数も増え、より高い比精度が要求される。

【0012】従って、初段ステージのDAC回路を多ビット化すると、該DAC回路に必要なコンデンサの個数が増え（例えば3ビットで差動信号であれば16個以上）、さらに、これらの比精度を上げるためには大容量のコンデンサを用いなければならず、占有面積の増大、さらにはアンプの負荷容量が増すことからアンプの消費電力も著しく増加するという問題を発生させる。

【0013】この発明の目的は、チップ占有面積や消費電力の増加を抑制しつつビット精度の向上を図るA/D変換器を提供することにある。

【0014】この発明の他の目的は、チップ面積や消費電力の増加を抑制しつつ高いビット精度でアナログ信号をデジタル信号に変換可能な半導体集積回路を提供することにある。

【0015】この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【0017】すなわち、小ビットのA/D変換ステージを複数段縦続接続してなり、変換前のアナログ信号を上記複数段のA/D変換ステージに通すことで所定ビット数のデジタル信号を得るパイプライン方式のA/D変換器において、2段目以降のA/D変換ステージは、前段ステージから入力されるアナログ信号をnビットのデジタル信号に変換して後段ステージに出力するサブA/D変換回路と、前段ステージから入力されるnビットのデジタル信号をアナログ信号に変換するサブD/A変換回路と、上記前段ステージから入力されるアナログ信号と上記サブD/A変換回路からのアナログ信号の差をとる減算回路と、該減算回路の差信号を所定倍に増幅し且つ保持して後段ステージに出力する増幅回路と、前段ステージから入力されるデジタル信号に応じて上記サブA/D変換回路の比較用の参照電圧を選択するリファレン

ス選択回路とを有するとともに、上記サブA/D変換回路の出力を当該ステージで得られたデジタル信号とるように構成され、初段のA/D変換ステージは、上記変換前のアナログ信号を $(m+n)$ ビットのデジタル信号に変換するとともに下位 n ビットのデジタル信号が後段ステージに出力されるサブA/D変換回路と、該サブA/D変換回路で変換された上位 m ビットのデジタル信号をアナログ信号に変換するサブD/A変換回路と、上記変換前のアナログ信号と上記サブD/A変換回路からのアナログ信号の差をとる減算回路と、該減算回路の差信号を所定倍に増幅するとともに保持して後段ステージに出力する増幅回路とを有するとともに、上記サブA/D変換回路の $(m+n)$ ビットのデジタル信号を当該ステージで得られたデジタル信号とるように構成したものである。

【0018】ここで、上記手段の動作原理について、図14に例示した回路構成に基づき簡単に説明する。図14(a)は図13に示した従来のA/D変換器の初段～3段目のA/D変換ステージの構成図、(b)は本発明に係るA/D変換器の初段と2段目のA/D変換ステージの構成図である。

【0019】同図に示すように、本発明に係るA/D変換器においては、2段目以降のA/D変換ステージ(104)は、図14(a)の2段目以降のA/D変換ステージ(104A, 104B)と同様の構成となる。また、本発明に係る初段目のA/D変換ステージ(1042)は、図14(a)の初段目と2段目のA/D変換ステージ(1041, 104A)を1段に統合した構成となる。つまり、上記手段によれば、図14(a)の従来例と同様の動作原理でA/D変換を行うことが出来る。なお、動作原理の詳細については実施の形態で説明する。

【0020】さらに、本発明に係る上記手段によれば、初段ステージのサブA/D変換回路が、後段ステージより多くのビット数(例えば、2倍のビット数 $(n \times 2)$)のA/D変換をするので、その分所定ビットのA/D変換を少ないステージで得ることができるとともに、ステージの段数が減るため、初段の増幅回路の要求精度が緩和される。

【0021】さらに、初段ステージのサブD/A変換回路は m ビットで済むため、サブD/A変換回路として高い精度を得るためにキャパシタ乗算型のDAC回路を用いた場合でも、 $(m+n)$ ビットのものと比較してコンデンサの必要数が少なくなる。そして、その分、コンデンサに要求される比精度も低くなる。従って、 $(m+n)$ ビットのものと比較して個数も少なく、容量も小さなコンデンサを用いて、高い精度が得られることから、コンデンサによるチップ占有面積の増加やそれに伴う消費電力の増加を低く抑えることが出来る。

【0022】望ましくは、上記サブD/A変換回路は、

供給された2個の基準電圧とこれら基準電圧の短絡電圧の中から入力デジタル信号に対応した出力電圧を選択する1.5ビット用のD/A変換回路であり、上記サブD/A変換回路、減算回路、および増幅回路は、サンプル時に入力アナログ信号に比例した電荷をキャパシタに蓄え、ホールド時に上記サブD/A変換回路の上記出力電圧に比例した電荷をキャパシタから引き抜くとともに、このキャパシタにより生成された電圧をアンプにより出力保持するように構成すると良い。

【0023】このようにサブD/A変換回路を1.5ビット用とし、サブD/A変換回路、減算回路、およびサンプルホールド動作する増幅回路とをキャパシタを用いて一体的な構成とすることで、高い精度のまま、回路規模を小さく消費電力を低く抑えることが出来る。

【0024】また望ましくは、上記初段のA/D変換ステージに設けられるサブA/D変換回路は、1対の基準電圧を抵抗分割してなる複数の参照電圧と入力アナログ信号とをそれぞれ比較する8個の電圧比較回路を有する3ビットのA/D変換回路であるとともに、上記抵抗分割の比が、[抵抗分割比 = 3 : 2 : 1 : 1 : 2 : 1 : 1 : 2 : 3]になるように構成すると良い。詳細は実施の形態で説明するが、これにより、A/D変換器から最終的に得られるデジタル信号を、ビット数に合わせて等分割された電圧レベルで量子化することができる。

【0025】さらに望ましくは、各A/D変換ステージに入力されるアナログ信号は完全差動信号であると好ましい。

【0026】また、上記のようなA/D変換器は、固体撮像素子から読み出したアナログ撮像信号をデジタル信号に変換する回路として半導体集積回路の中に形成するのに適している。このような半導体集積回路によれば、チップ面積や消費電力の増加を抑制しつつ高いビット精度でアナログ信号をデジタル信号に変換可能である。

【0027】

【発明の実施の形態】以下、本発明の好適な実施例を図面に基いて説明する。図1は、本発明の好適な実施例であるA/D変換器を示す構成図である。

【0028】この実施例のA/D変換器は、縦続接続された複数段のA/D変換ステージ1042, 104, ..., 104, 105と、これらの各A/D変換ステージ1042, 104..., 105から入力される小ビットのデジタル信号をエンコード及びデジタル補正して m ビットのデジタル信号を生成するエンコーダ&デジタル補正回路107と、変換前の入力アナログ信号 V_{in} を一時的に保持するサンプルホールドアンプ(SHA)1と、各回路に動作タイミングを与えるクロック生成回路108などから構成される。

【0029】なお、上記サンプルホールドアンプ1は変換前の入力アナログ信号 V_{in} が所定の入力タイミングに安定して入力される保証があれば不要なものとなる。

また、この実施例においては、アナログ信号として完全差動信号が用いられている。

【0030】初段のA/D変換ステージ1042は、3ビットのサブADC回路1002と、1.5ビットのサブDAC回路101と、減算回路102と、2倍のサンプルホールド増幅回路103などから構成される。サブADC回路1002は、入力アナログ信号を3ビットのデジタル信号に変換してエンコーダ&デジタル補正回路107に出力するとともに、3ビットのデジタル信号のうち入力アナログ信号の電圧を3レベルで表した上位1.5ビットを同一ステージ1042のサブDAC回路101に、下位1.5ビットを後段ステージ104に出力する。

【0031】サブDAC回路101は、入力された1.5ビットデジタル信号をそれに応じたアナログ信号に変換して減算回路102に出力する。減算回路102は変換前の入力アナログ信号からサブDAC回路101で復元されたアナログ信号を減算して残差信号を抽出する。サンプルホールド増幅回路103はこの残差信号を保持して後段ステージに出力する。

【0032】2段目からj段目までの各A/D変換ステージ104は、それぞれ同一のものであり、1.5ビットのサブADC回路100と、リファレンス選択回路100aと、1.5ビットのサブDAC回路101と、減算回路102と、2倍のサンプルホールド増幅回路103などから構成される。リファレンス選択回路100aは、前段ステージからの1.5ビットデジタル信号に応じて2つの参照電圧を選択してサブADC回路100に供給する。サブADC回路100は、前段ステージから入力されたアナログ信号を、供給された参照電圧と比較して1.5ビットのデジタル信号に変換し、エンコーダ&デジタル補正回路107並びに後段ステージへ出力する。サブDAC回路101は前段ステージから入力されたデジタル信号を所定レベルのアナログ信号に変換する。差分回路102やサンプルホールド増幅回路103は初段ステージのものと同一のものである。

【0033】最終段のA/D変換ステージ105は、前段ステージから入力されるアナログ信号を参照電圧と比較してNビットのデジタル信号に変換するサブADC回路106と、前段ステージから入力されたデジタル信号に応じた参照電圧を選択しサブADC回路106に供給するリファレンス選択回路106aとから構成される。

【0034】初段から最終段の1つ手前までのA/D変換ステージ1042, 104, 104...では3ビットや1.5ビットの量子化を扱っているため、最終段の1つ手前のステージの量子化ステップの各電圧レベルは上限電圧と下限電圧を 2^i で等間隔したものになっていない。そのため、この最終段のA/D変換ステージ105では、量子化ステップを、上限電圧と下限電圧を 2^m で等間隔した電圧レベルに補填するように行われる。ま

た、この最終段のビット数は大きく設定することで、最終的なビット精度を変えずに前段のステージ数を減らすことが出来るので、ステージ数減少の効果と、サブADC106やリファレンス選択回路106aの回路規模や消費電力の増大との兼ね合いを考慮して最適なビット数に設定すると良い。

【0035】次に、上記A/D変換器の動作原理について詳細に説明する。図14には、この動作原理を説明するための図を示す。同図(a)には特開平10-178345号に開示のA/D変換器の1, 2, 3段目のA/D変換ステージの構成例を、(b)にはこの実施例の1, 2段目のA/D変換ステージを示している。

【0036】先ず、基本的なパイプライン方式のA/D変換器においては、入力アナログ信号を小ビットのデジタル信号に変換する小ビットA/D変換処理と、この小ビットデジタル信号を再びアナログ信号に復元して元の入力アナログ信号から減算する残差信号の抽出処理とが、基本処理とされる。そして、抽出した残差信号を後段ステージの入力アナログ信号として出力し、上記小ビットA/D変換と残差信号の抽出処理とを繰り返すことで、所定ビットのデジタル信号が得られるようになっている。図11や図12に示す従来例では、これら小ビットA/D変換処理と残差信号の抽出処理とを同一ステージで行っている。

【0037】図14(a)に示す従来例のA/D変換器では、上記小ビットA/D変換処理と残差信号の抽出処理とを連続する2つのステージにまたがって行っている。すなわち、初段ステージ1041のサブADC回路1001と2段目ステージ104AのサブDAC回路101A、並びに、2段目ステージ104AのサブADC回路100Aと3段目ステージ104BのサブDAC回路101Bとが、それぞれ組みになって、小ビットのA/D変換と残差信号を得るためのD/A変換とを行っている。

【0038】1つ目の組では、1.5ビットにA/D変換される元の入力アナログ信号 V_{in1} と、1.5ビットに変換された後サブDAC回路101Aで復元されたアナログ信号 V_{d1} とが減算回路102Aに入力されるので、この減算により入力アナログ信号 V_{in1} から1.5ビット変換分を差し引いた残差信号 V_{s1} を得ることが出来る。

【0039】2つ目の組では、さらに1.5ビット変換し、その変換分を差し引いた残差信号 V_{s2} 、すなわち、変換前の入力アナログ信号 V_{in1} から見れば1.5ビット \times 1.5ビットの変換分を差し引いた残差信号 V_{s2} を得る必要がある。そして、減算回路102Bの正極端子には先に1.5ビット変換分が差し引かれた残差信号 V_{s1} の増幅信号が入力される。しかし、減算回路102Bの負極端子には、1つ目の組で残差がとられる前のアナログ信号 V_{in2} ($=V_{in1}$) をA/D、

D/A変換したアナログ信号 V_d2 が入力される。従って、なんら工夫がないと1.5ビット×1.5ビットの変換分を差し引いた残差信号 V_s2 は得られない。

【0040】そこで、リファレンス選択回路100aにより、次のような処理が行われる。すなわち、前段ステージ1041から入力されるデジタル信号に基づき、アナログ信号 V_{in2} の上位1.5ビット分の電圧レベルを特定するとともに、特定した1.5ビットの電圧レベルをさらに1.5ビットに分割した2レベルの参照電圧をサブADC回路100Aに供給する。そして、この参照電圧を用いてA/D変換することで、サブADC回路100Aでは入力アナログ信号 V_{in2} に対して1.5ビット×1.5ビットのA/D変換がなされる。すなわち、サブADC回路100Aからは、入力アナログ信号 V_{in2} を3ビットにA/D変換したうちの低位1.5ビットの信号が出力される。

【0041】そして、その信号を次ステージのサブDAC回路101Bにてアナログ信号に復元するので、入力アナログ信号 V_{in2} を1.5ビット×1.5ビットのA/D変換から低位1.5ビット分を復元したアナログ信号 V_d2 が減算回路102Bに入力される。従って、減算回路102Bにより入力アナログ信号 V_{in2} から1.5ビット×1.5ビットの変換分を差し引いた残差信号 V_s2 が得られる。

【0042】上記の処理により、図14(a)のA/D変換器においても、基本的なパイプライン方式のA/D変換器と同様に、パイプライン動作でA/D変換処理が実現されるようになっている。

【0043】本実施例のA/D変換器は、図14(a)に示す従来例のA/D変換器の初段ステージ1041と2段目ステージ104Aとを1段のステージに統合し、図14(b)に示す本実施例の初段ステージ1042としたものである。詳細には、図14(b)の初段ステージ1041のサブADC回路1001と、2段目ステージ104Aのリファレンス選択回路100aとサブADC回路100Aとを、図14(b)の本実施例の3ビットサブADC回路1002に統合したものである。

【0044】上記のように、1段のステージに統合したことで、図14(a)の初段ステージと2段目ステージの処理は同一サイクルに行われることになるため、図14(a)のサンプルホールドアンプ1031は不要となる。また、図14(b)の3ビットサブADC回路1002から後段ステージに出力されるデジタル信号は3ビット信号のうち低位1.5ビットの信号であり、図14(a)のサブADC回路100Aから出力される1.5ビットの信号と同一になっている。

【0045】以上のことから、本実施例のA/D変換器は、図14(a)のA/D変換器の初段ステージと2段目ステージ104Aとが同一サイクルで行われる点を除き、あとは図14(a)と同様の動作原理でパイプライン

方式のA/D変換処理が行われることがわかる。

【0046】図2には、図1のサブDAC回路、減算回路、およびサンプルホールド増幅回路を一体的に構成したDAC減算機能内蔵型のサンプルホールドアンプの説明図を示す。同図(a)はその回路構成図、(b)はその動作を示すタイムチャートである。

【0047】この実施例では、サブDAC回路101、減算回路102、およびサンプルホールド増幅回路103は一体構成になっている。図2において、 V_{iT} 、 V_{iB} は正負の入力アナログ信号、 V_{op} 、 V_{on} は正負の出力アナログ信号、 V_{RT} 、 V_{RB} はD/A変換に用いられる正負の基準電圧、 V_{cm} は差動信号のコモンモード電圧、 C_{p1} 、 C_{p2} 、 C_{n1} 、 C_{n2} は減算とサンプル・ホールドを行うためのコンデンサ、204は完全差動演算増幅器、 ϕ_{s0} 、 ϕ_{s1} 、 ϕ_{s2} は1.5ビットの入力デジタル信号の3レベルに対応した入力パルス(いずれか1つが“1”、その他は“0”となる)、 ϕ_s はサンプリングパルス、 ϕ_h はホールドパルスを示す。各パルス ϕ_{s0} 、 ϕ_{s1} 、 ϕ_{s2} 、 ϕ_s 、 ϕ_h はクロック生成回路8から供給されるクロック信号にそれぞれ同期している。

【0048】上記構成において、サンプリングパルス ϕ_s が供給されるスイッチと各コンデンサ C_{p1} 、 C_{p2} 、 C_{n1} 、 C_{n2} とにより、入力アナログ信号 V_{iT} 、 V_{iB} のサンプリング動作が行われる。一方、入力パルス ϕ_{s0} 、 ϕ_{s1} 、 ϕ_{s2} が供給されるスイッチと、ホールドパルス ϕ_h が供給されるスイッチと、各コンデンサ C_{p1} 、 C_{p2} 、 C_{n1} 、 C_{n2} と、完全差動増幅アンプ204とで、D/A変換、減算、増幅ホールドの動作が行われる。ホールドパルス ϕ_h はサンプリングパルス ϕ_s の逆相になっており、ホールドパルス ϕ_h とスイッチ入力パルス ϕ_{s0} 、 ϕ_{s1} 、 ϕ_{s2} とは同相となっている。

【0049】ホールドパルス ϕ_h が“1”になると、入力パルス ϕ_{s0} 、 ϕ_{s1} 、 ϕ_{s2} の選択により入力デジタル信号に応じた3レベルの電圧(基準電圧 V_{RT} 、 V_{RB} とその中間電圧)の何れかがコンデンサ C_{p1} 、 C_{n1} の一端にそれぞれ印加され、先にサンプルされた入力アナログ信号 V_{iT} 、 V_{iB} から上記3レベルの電圧の何れかに比例した電圧が減算される。同時に、完全差動アンプ204の出力端子がコンデンサ C_{p2} 、 C_{n2} の一端に接続されるので、上記減算された電圧が完全差動アンプ204により増幅され且つホールドされる。各コンデンサは、出力アナログ信号 V_{op} 、 V_{on} が入力アナログ信号 V_{iT} 、 V_{iB} に対して2倍に増幅されるようにコンデンサ C_{p1} と C_{p2} 、コンデンサ C_{n1} と C_{n2} がそれぞれ同容量になっている。

【0050】このようなDAC減算機能内蔵型のサンプルホールドアンプは、各コンデンサ C_{p1} 、 C_{p2} 、 C_{n1} 、 C_{n2} に対するスイッチングにより動作が行われるので、スイッチドキャパシタ方式のアンプと呼ばれて

いる。

【0051】図3には、上記DAC減算機能内蔵型サンプルホールドアンプの入出力特性を表したグラフ図を示す。同図において、横軸は入力アナログ信号の差 ΔV_{in} 、縦軸は出力信号の差 ΔV_o を示している。

【0052】上記のDAC減算機能内蔵型のサンプルホールドアンプの入出力特性は、入力デジタル信号により示される3レベルのうち、最小レベルが入力されたときに $\phi s0=1$ 、 $\phi s1=0$ 、 $\phi s2=0$ となって直線(J)になり、中間レベルが入力されたときに $\phi s0=0$ 、 $\phi s1=1$ 、 $\phi s2=0$ となって直線(K)になり、最大レベルが入力されたときに $\phi s0=0$ 、 $\phi s1=0$ 、 $\phi s2=1$ となって直線(L)になる。入力アナログ信号の範囲は、入力デジタル信号と関連するので、 $\phi s0=1$ 、 $\phi s1=0$ 、 $\phi s2=0$ の場合に $\Delta V_{in} < -\Delta VR/4$ 、 $\phi s0=0$ 、 $\phi s1=1$ 、 $\phi s2=0$ の場合に $-\Delta VR/4 < \Delta V_{in} < \Delta VR/4$ 、 $\phi s0=0$ 、 $\phi s1=0$ 、 $\phi s2=1$ の場合に $\Delta V_{in} < \Delta VR/4$ となる。

【0053】それゆえ、出力アナログ信号 ΔV_o は、入力アナログ信号 ΔV_{in} を2倍に増幅し、且つ、入力デジタル信号に応じて ΔVR 、0、 $-\Delta VR$ の電圧を加えたものになっており、出力アナログ信号 ΔV_o の中間電位は入力デジタル信号に応じて変化するものとなる。

【0054】図4には、初段のA/D変換ステージに設けられた3bitサブADC回路の構成例を示す。

【0055】この図において、 V_{ip} 、 V_{in} は正負の入力アナログ信号、 V_{RT} 、 V_{RB} は正負の基準電圧、2011は比較用の参照電圧を生成するラダー抵抗、12a~12dは参照電圧と入力アナログ信号を比較する差動型の比較器、130は比較器12a~12dの出力信号に基づき上位1.5ビットの信号と下位1.5ビットの信号とを出力するエンコーダである。

【0056】この実施例では、入力アナログ信号は差動信号なので、基準電圧 V_{RT} 、 V_{RB} を正負の向きで分割した参照電圧が比較器12の正相側に、負から正の向きで分割した参照電圧が比較器12の負相側に供給される。比較器12では、供給された1対の参照電圧の差分と入力アナログ信号 ΔV_{in} とを比較してその比較結果の信号をエンコーダ130に出力する。詳細には、供給参照電圧を大小でみた順に3番目と6番目の比較器12a、12aの比較結果により3ビットの信号のうち上位1.5ビットの信号が決定され、この上位1.5ビットの比較結果と他の比較器12b~12dの比較結果とにより下位1.5ビットの信号が決定される。

【0057】上記ラダー抵抗2011は、その抵抗分割比が3:2:1:1:2:1:1:2:3に設定されている。ここで、この分割比について説明する。

【0058】A/D変換器から最終的に得たいデジタル信号はビット単位の信号であるのだから、入力アナログ信号と比較すべき参照電圧は上限下限の電圧を 2^n に等

分割した電圧の何れかにする必要がある。1.5ビットの信号すなわち3レベルを表す信号は、上限下限の電圧を3分割した2つの参照電圧との比較により得られるが、参照電圧を上限下限の電圧を3等分したのでは、最終的に望まれる 2^n に等分割した参照電圧からは外れてしまう。そこで、3レベルを表す場合には、従来から上限下限の電圧を3:2:3に分割した参照電圧が使用される。この参照電圧は上限下限の電圧を8($=2^3$)等分した参照電圧と重なる。

【0059】初段ステージのサブADC回路1002では、3ビットのA/D変換が行われるが、変換後には上位1.5ビットと下位1.5ビットの信号に分けて使用されるため、単に上限下限の電圧を8($=2^3$)に等分割した参照電圧と比較をしたのでは上位下位1.5ビットに分割できない。そこで、上記の3:2:1:1:2:1:1:2:3の分割比を用いている。この分割比によれば、上位1.5ビットの信号を導出する比較器12a、12aへ供給される参照電圧は、基準電圧 V_{RT} 、 V_{RB} を3:2:3に分割した参照電圧となる。

【0060】また、下位1.5ビットの信号を導出する比較器12b、12bに供給される参照電圧は、正の基準電圧 V_{RT} から正負の基準電圧の中間電圧 V_{R0} までを3:2:3に分割した参照電圧となる。また、比較器12c、12cに供給される参照電圧は電圧 V_{R1} 、 V_{R2} を3:2:3に分割した参照電圧に、比較器12d、12dに供給される参照電圧は中間電圧 V_{R0} から負の基準電圧 V_{RB} までを3:2:3に分割した参照電圧となる。ここで、上記電圧 V_{R1} 、 V_{R2} は、これらの電位差が基準電圧 V_{RT} 、 V_{RB} の電位差の1/2で、中間の電位が基準電圧の中間電圧 V_{R0} と等しくなるものである。

【0061】すなわち、下位1.5ビットの信号を導出するための比較器には、入力アナログ信号と比較する電圧範囲として、電圧幅が基準電圧 V_{RT} 、 V_{RB} の1/2で上位1.5ビットの結果に応じて最大レベル、中間レベル、最小レベルの3範囲が設定され、それらの電圧範囲を3:2:3に分割した参照電圧が供給されるようになっている。それにより、上位と下位の1.5ビットの信号は、ともに所定の電圧範囲を3:2:3で分割した電圧レベルを表す信号となり、1.5ビット変換パイプライン方式のA/D変換動作が得られることになる。

【0062】図5には、2段目以降のA/D変換ステージに設けられた1.5bitサブADC回路の構成例を示す。なお、この図においては、ラダー抵抗201の分割比は図示されていない。

【0063】この図において、 V_{RT} 、 V_{RB} は正負の基準電圧、 V_{ip} 、 V_{in} は前段ステージから入力される正負のアナログ信号、 $\phi s0$ 、 $\phi s1$ 、 $\phi s2$ は前段ステージから入力される1.5ビットのデジタル信号の3レベルに対応した入力パルス、201は基準電圧から電圧比

較用の参照電圧を生成するラダー抵抗、202は入力パルス $\phi s0$, $\phi s1$, $\phi s2$ に応じて電圧比較に使う参照電圧を選択するスイッチ群、12は電圧比較器、13は電圧比較器12, 12からの信号に基づき1.5ビットの信号を出力するエンコーダである。これらのうち、ラダー抵抗201とスイッチ群202とが、図1のリファレンス選択回路100aを構成している。

【0064】ラダー抵抗201は、図4の比較器12b, 12b、比較器12c, 12c、比較器12d, 12dにそれぞれ提供されているものと同じ参照電圧を生成する。スイッチ群202は前段ステージから入力される1.5ビットデジタル信号に応じて、図5において上段2組のスイッチ、中段2組のスイッチ、または下段2組のスイッチの何れかをオン状態にする。これにより、電圧比較器12, 12は、前段ステージから入力される1.5ビットの信号に応じて、図4の比較器12b, 12b、比較器12c, 12c、比較器12d, 12dの何れかと同様の電圧比較が行われる。

【0065】図6には、図4と図5のサブADC回路中に設けられた電圧比較器の説明図を示す。同図(a)はその回路構成図の一例、(b)はその動作を示すタイムチャートである。図7は、この電圧比較器にリファレンス発生回路を付加したものである。

【0066】この実施例の電圧比較器12, 12a~12dは、チョッパ型と呼ばれる方式の比較器であり、入力アナログ信号 V_{ip} , V_{in} をサンプリングするための制御パルス ϕ_{in} が供給されるスイッチと、参照電圧 V_{rt0} ~ V_{rt2} の何れかを供給するスイッチ群202と、初期条件を設定するためのオートゼロパルス ϕ_{az} が供給されるスイッチの3種類のスイッチと、入力アナログ信号 V_{ip} , V_{in} と基準電圧の差電圧を蓄えるコンデンサ C_{ia} , C_{ib} と、差電圧の正負を判定する完全差動増幅器205と、その出力を増幅し且つラッチするラッチアンプ206とから構成される。

【0067】この比較器によれば、オートゼロ時に、制御パルス ϕ_{in} とオートゼロパルス ϕ_{az} が“1”となつて、コンデンサ C_{ia} , C_{ib} の一端に入力アナログ信号 V_{ip} , V_{in} が印加される一方、完全差動増幅器205は負帰還となるように入出力間が短絡されて完全差動増幅器205の入力端子が所定電圧にバイアスされる。

【0068】次いで、比較時には、制御パルス ϕ_{in} とオートゼロパルス ϕ_{az} が“0”となると同時に、リファレンス選択スイッチ202の入力デジタル信号に応じたスイッチがオン状態になる。これにより、コンデンサ C_{ia} , C_{ib} の一端に参照電圧が印加され、他端に入力アナログ信号 V_{ip} , V_{in} との差電圧が発生される。そして、この差電圧に基づき完全差動増幅器205が正負を判定し、この判定結果がラッチアンプ206により増幅され且つラッチされてエンコーダ13に出力さ

れる。

【0069】図8には、本発明を10ビットのA/D変換器に適用した実施例を、図9には、その動作を説明するタイムチャートを示す。

【0070】図8のA/D変換器は、上述のA/D変換器を7段のパイプラインステージにより、10ビットのA/D変換を行うように構成したものである。初段ステージは3ビットのサブADC回路1002とDAC減算機能内蔵型のサンプルホールドアンプ1011から構成される。2~6段目のステージは1.5ビットのサブADC回路100とDAC減算機能内蔵型サンプルホールドアンプ1011からそれぞれ構成される。また、最終段ステージは特に制限されないが3ビットのサブADC回路106により構成している。

【0071】図9に示すように、このようなA/D変換器によれば、初段ステージにおいては、サブADC回路1002は、参照電圧と入力アナログ信号との比較動作と、デジタル信号の出力と、を変換クロックに同期させて交互に繰返す。同時に、DAC減算機能内蔵型サンプルホールドアンプ1011は、入力アナログ信号のサンプル動作と、残差信号を求め2倍に増幅する動作とを、変換クロックに同期させて交互に繰返す。

【0072】2~6段目のステージにおいては、サブADC回路100は、前段から入力されるアナログ信号(残差信号)と参照電圧との比較動作と、デジタル信号の出力とを変換クロックに同期させて交互に繰返す。同時に、DAC減算機能内蔵型サンプルホールドアンプ1011は、入力アナログ信号のサンプル動作と、残差信号を求め2倍に増幅する動作とを、変換クロックに同期させて交互に繰返す。

【0073】7段目のステージのサブADC回路106は、前段から入力されるアナログ信号(残差信号)と参照電圧との比較動作と、デジタル信号の出力とを変換クロックに同期させて交互に繰返す。

【0074】更に、各ステージは前段ステージに対して変換クロックの位相を180°ずらして動作する。そして、このようなパイプライン動作により入力されるアナログ信号を順次小ビットのデジタル信号に変換して、最終的に10ビットのデジタル信号を得ることが出来る。

【0075】以上のように、この実施例のA/D変換器によれば、初段ステージのサブA/D変換回路1002が、後段ステージの2倍の3ビットのA/D変換をするので、同一ビットのデジタル信号を少ないA/D変換ステージで得ることができるとともに、後続ステージの段数が減るため、初段のサンプルホールド増幅回路103の要求精度が緩和される。

【0076】さらに、初段ステージのサブA/D変換回路1002が3ビットであるのに対して、初段ステージのサブD/A変換回路101は1.5ビットで済むため、高い精度を得るためにキャパシタ乗算型のDAC回

路を用いても、3ビットで且つ差動のDAC回路ではコンデンサが16個以上必要なのに対して、コンデンサの数を著しく低く抑えられる。また、個数が少なく済む分、コンデンサに要求される比精度も低くなる。従って、3ビットのものと比較して個数が少なく容量も小さなコンデンサで高い精度のD/A変換を行える。それゆえ、精度を高くしても、コンデンサによるチップ占有面積の増加やそれによる消費電力の増加を低く抑えることが出来る。

【0077】また、サブD/A変換回路101を1.5ビット用とすることで、サブD/A変換回路101、減算回路102、およびサンプルホールド増幅回路103をスイッチドキャパシタ方式により一体的な構成としたので、高い精度のまま、回路規模を比較的小さく消費電力を低く抑えることが出来る。

【0078】図10は、上記A/D変換器をデジタルスチルカメラに適用した一例を示すブロック構成図である。

【0079】この図において、510はCCD (Charge Coupled Device) などの撮像素子、520は撮像素子510からのアナログ信号をA/D変換するAD変換用LSI、530はAD変換用LSI520から出力される画像データを受けてデータ処理を行なうDSP (ディジタル・シグナル・プロセッサ) である。この実施例のデジタルスチルカメラでは、DSP530で画像処理された画像データは外部のD/A変換回路560へ出力されてアナログ信号に変換され、これがフィルタ570を通してディスプレイ580に供給されて表示されるように構成されている。

【0080】上記AD変換用LSI520は、撮像素子510から出力され入力端子INに入力されたアナログ映像信号をサンプリングする相関二重サンプリング回路(CDS)521と、サンプリングされた信号を増幅する利得可変なプログラマブルゲインアンプ(PGA)522と、増幅されたアナログ信号をディジタル信号に変換する上記実施例のAD変換器(ADC)523と、変換されディジタル信号を出力端子OUTよりチップ外部へ出力する出力バッファ525とから構成される。

【0081】また、上記DSP530は、AD変換用LSI520から出力されディジタルデータに対して例えば色補正や画像合成などの画像処理を行なう画像処理回路532と、復号された画像データを圧縮して外部のメモリ550に格納したりメモリ550から読み出された画像データを伸長したりする圧縮/伸長回路533などにより構成されている。

【0082】上記のようなAD変換用LSI520によれば、チップ面積や消費電力の増加を抑制しつつ高いビット精度で且つ高速にアナログ信号をディジタル信号に変換可能であり、電池で動作する携帯型のデジタルスチルカメラに適用する場合に特に有用である。

【0083】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0084】例えば、実施例では、初段に3ビットのサブADC回路を、2段目以降に1.5ビットのサブADC回路を適用したが、初段を2ビットで2段目以降を1ビットとしたり、初段を4ビットで2段目以降を2ビットとすることも出来る。また、サブDAC回路と減算回路とサンプルホールド増幅回路とをキャパシタのスイッチ制御により一体構成としたが、別構成としても良い。

【0085】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるデジタルスチルカメラのAD変換用LSIについて説明したがこの発明はそれに限定されるものでなく、AD変換を連続的に高速に行う集積回路に広く利用することができる。

【0086】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0087】すなわち、本発明に従うと、初段ステージのA/D変換ビット数を(m+n)ビットと後続ステージより大きくできるので、その分、A/D変換ステージの段数が減って、初段の増幅回路の要求精度を緩和することが出来る。さらに、初段ステージのサブD/A変換回路はmビットで済むため、チップ占有面積の増加やそれによる消費電力の増加を低く抑えることが出来るという効果がある。

【0088】また、サブD/A変換回路、減算回路、およびサンプルホールド動作する増幅回路とをキャパシタを用いて一体的な構成とすることで、高い精度のまま、回路規模を比較的小さく消費電力を低く抑えることが出来るという効果がある。

【0089】また、本発明に係る半導体集積回路によれば、チップ面積や消費電力の増加を抑制しつつ高いビット精度で且つ高速にアナログ信号をディジタル信号に変換可能であるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施例のA/D変換器を示す構成図である。

【図2】図1のサブDAC回路、減算回路、およびサンプルホールド増幅回路の一体的な構成例を説明するための図で、(a)はその回路構成図、(b)はその動作を示すタイムチャートである。

【図3】図2の回路の入出力特性を表したグラフ図である。

【図4】初段のA/D変換ステージに設けられた3bitサブADC回路の一例を示す回路構成図である。

【図5】2段目以降のA/D変換ステージに設けられた

1. 5 bit サブADC回路の一例を示す回路構成図である。

【図6】実施例のサブADC回路中に設けられた電圧比較器を説明するための図で、(a)はその一例の回路構成図、(b)はその動作を示すタイムチャートである。

【図7】図6の電圧比較器とリファレンス発生回路の一例とを示す回路構成図である。

【図8】本発明を適用して好適な10ビットのA/D変換器の実施例を示す構成図である。

【図9】図8のA/D変換器の動作を説明するタイムチャートである。

【図10】本発明に係るA/D変換器を適用したデジタルスチルカメラの構成例を示すブロック図である。

【図11】パイプライン方式のA/D変換器の第1従来例を示す構成図である。

【図12】パイプライン方式のA/D変換器の第2従来例を示す構成図である。

【図13】パイプライン方式のA/D変換器の第3従来例を示す構成図である。

【図14】本発明に係るA/D変換器と第3従来例との構成を比較する図である。

【符号の説明】

1 2 電圧比較器

1 3 エンコーダ

1 2 a ~ 1 2 d 電圧比較器

1 0 0 サブADC回路

1 0 0 a リファレンス選択回路

1 0 1 サブDAC回路

1 0 2 減算回路

1 0 3 サンプルホールド増幅回路

1 0 4 2段目以降のA/D変換ステージ

1 0 7 エンコーダ&デジタル補正回路

1 0 8 クロック生成回路

1 3 0 エンコーダ

2 0 1 ラダー抵抗

2 0 2 スイッチ群

2 0 4 完全差動アンプ

5 2 0 AD変換用LSI

1 0 0 2 初段ステージのサブADC回路

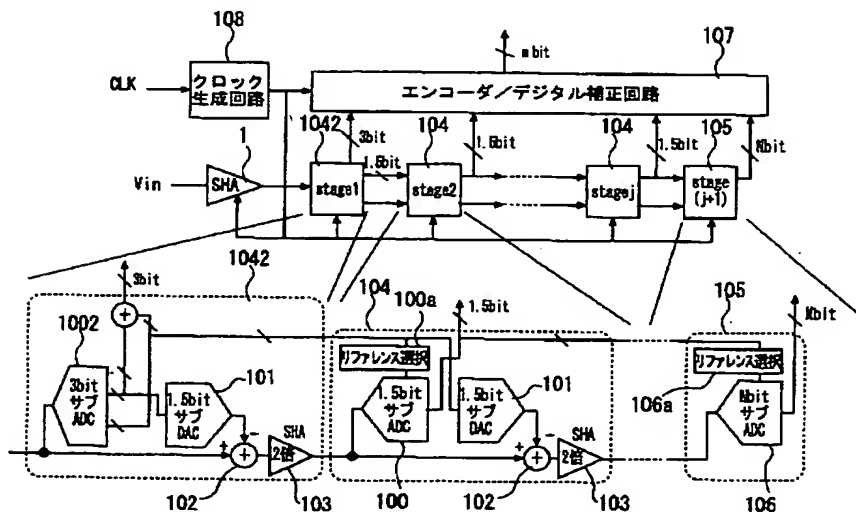
1 0 1 1 DAC減算機能内蔵型サンプルホールドアンプ

1 0 4 2 初段A/D変換ステージ

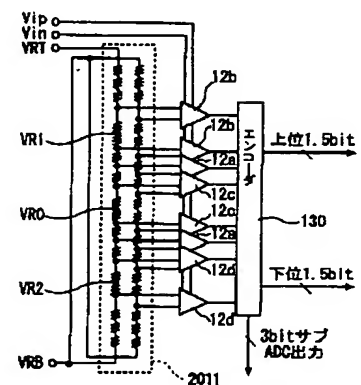
2 0 1 1 ラダー抵抗

Cp1, Cp2, Cn1, Cn2 DAC減算機能内蔵型サンプルホールドアンプのキャパシタ

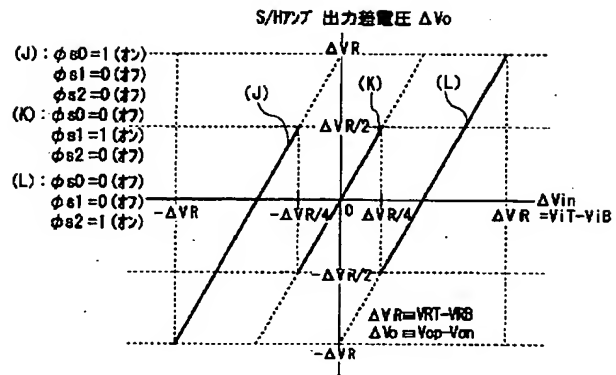
【図1】



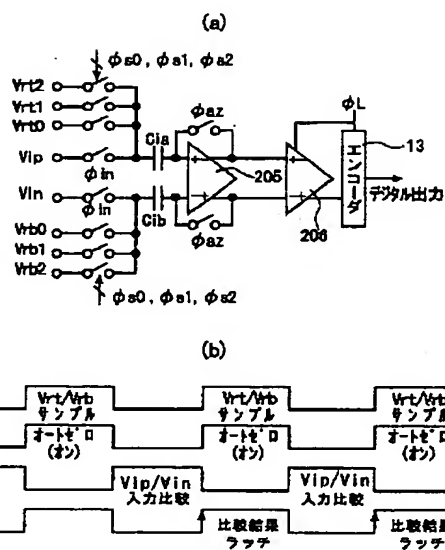
【図4】



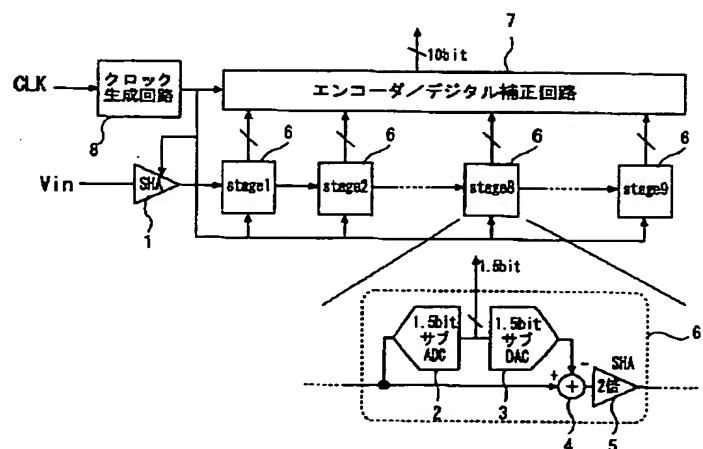
【図 3】



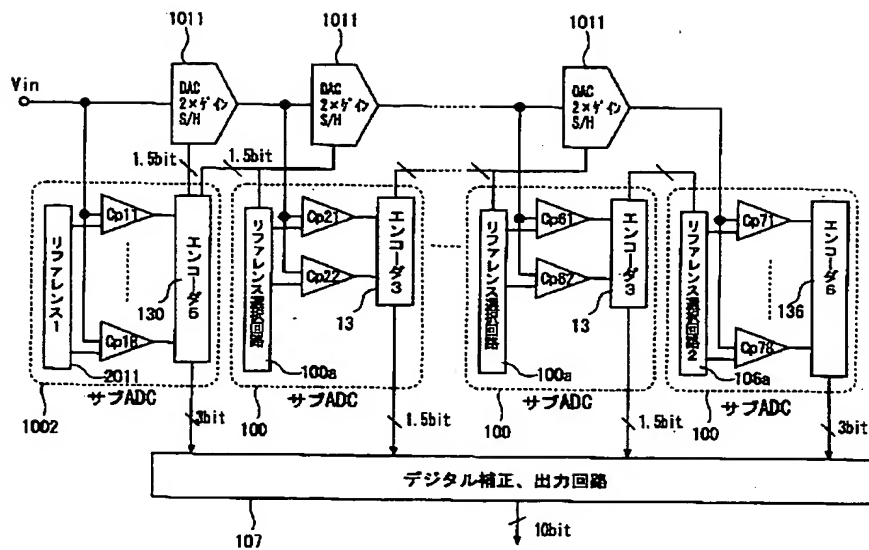
【図 6】



【図 1 1】



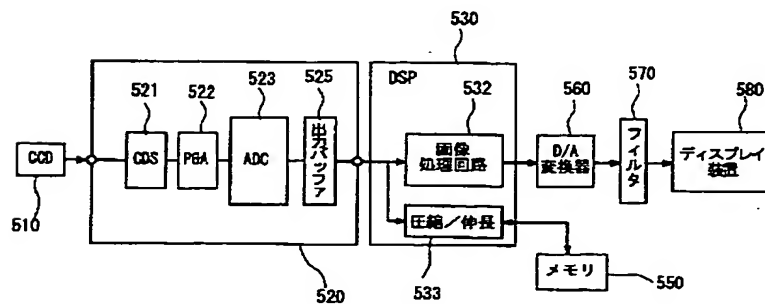
【図8】



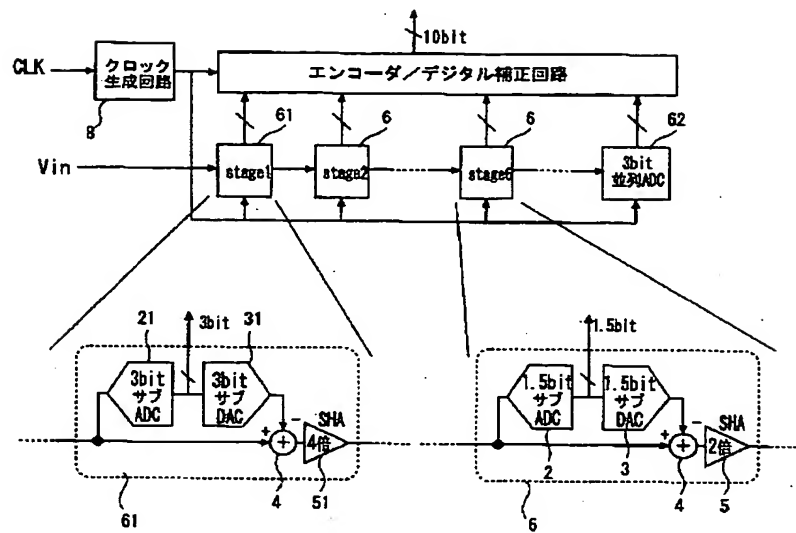
【図9】

変換クロック									
初段サブADC (3bit)	比較増幅	デジタル出力							
初段SHA	入力サンプル	残差増幅							
2段サブADC (1.5bit)	比較増幅	デジタル出力							
2段SHA	前段SHA出力サンプル	残差増幅							
3段サブADC (1.5bit)	比較増幅	デジタル出力							
3段SHA	前段SHA出力サンプル	残差増幅							
4段サブADC (1.5bit)	比較増幅	デジタル出力							
4段SHA	前段SHA出力サンプル	残差増幅							
5段サブADC (1.5bit)	比較増幅	デジタル出力							
5段SHA	前段SHA出力サンプル	残差増幅							
6段サブADC (1.5bit)	比較増幅	デジタル出力							
6段SHA	前段SHA出力サンプル	残差増幅							
7段サブADC (3bit)	比較増幅	デジタル出力							

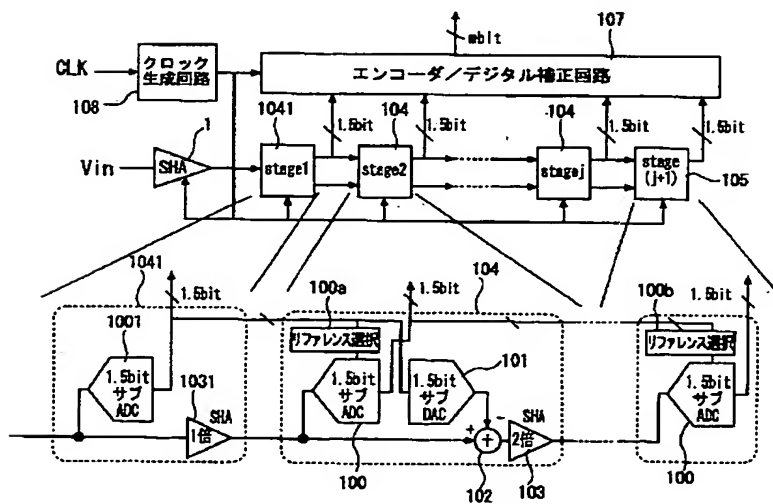
【図10】



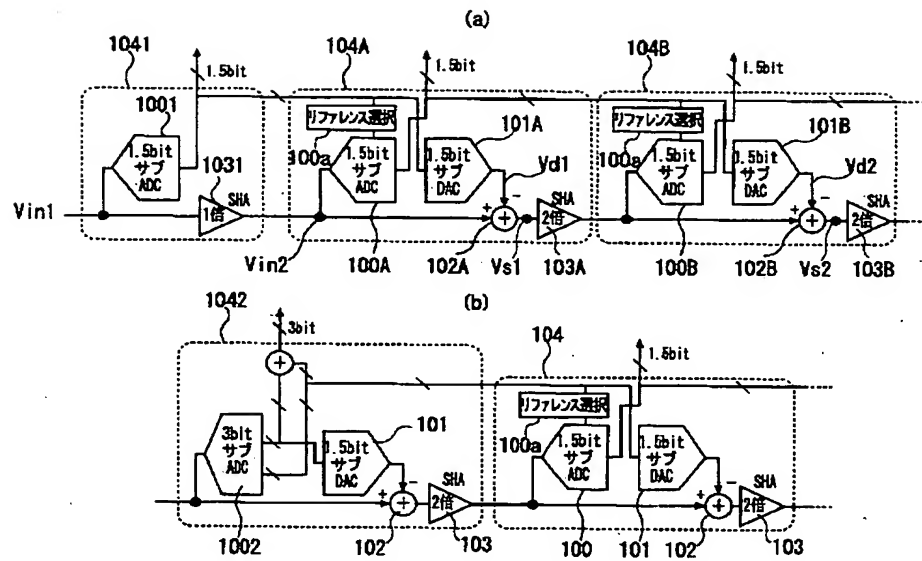
【図12】



【図13】



【図14】



フロントページの続き

(72)発明者 今泉 栄亀
東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

(72)発明者 淵上 伸隆
東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

(72)発明者 松浦 達治
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

Fターム(参考) 5J022 AA15 AB07 BA01 BA06 BA07
CA10 CB02 CB06 CD03 CD08
CE01 CE02 CF02 CF07